

JAPANESE

[JP,10-321740,A]

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE
INVENTION TECHNICAL PROBLEM MEANS DESCRIPTION OF DRAWINGS DRAWINGS

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the semiconductor-nonvolatile-memory transistor to which it is characterized by being the semiconductor-nonvolatile-memory transistor which comes to prepare a memory gate electrode on a semiconductor substrate through the memory insulator layer which consists of a tunnel insulator layer, a memory nitride, and a top oxide film, and for the aforementioned tunnel insulator layer consisting of a silicon nitriding oxide film containing oxygen and nitrogen, and there being many nitrogen contents near the interface with the aforementioned semiconductor substrate near the interface with the aforementioned memory nitride.

[Claim 2] It is the semiconductor-nonvolatile-memory transistor characterized by the bird clapper from an oxygen rich silicon nitriding oxide film with more [in a semiconductor-nonvolatile-memory transistor according to claim 1, consist of a silicon nitriding oxide film with more nitrogen contents than an oxygen content near the interface with the aforementioned semiconductor substrate of the aforementioned tunnel insulator layer, and] oxygen content near the interface with the aforementioned memory nitride of this tunnel insulator layer than a nitrogen content.

[Claim 3] It is the semiconductor-nonvolatile-memory transistor to which it is the semiconductor-nonvolatile-memory transistor which comes to prepare a memory gate electrode on a semiconductor substrate through the memory insulator layer which consists of a tunnel insulator layer, a memory nitride, and a top oxide film, the aforementioned tunnel insulator layer consists of a silicon nitride near the interface with the aforementioned semiconductor substrate, and it is characterized near the interface with the aforementioned memory nitride by the bird clapper from a silicon oxide.

[Claim 4] The manufacture method of the semiconductor-nonvolatile-memory transistor characterized by providing the following. The process which forms a pad oxide film on the semiconductor substrate of the 1st conductivity type The process which forms a silicon nitride on the pad oxide film The process which leaves the memory device field on the aforementioned semiconductor substrate, and *****s the aforementioned silicon nitride by photo etching The silicon nitride which it left to the aforementioned memory device field is used as an anti-oxidation mask. by selective oxidation processing The process which forms a field oxide film in the circumference of the aforementioned memory device field, and the process which removes the aforementioned silicon nitride and the aforementioned pad oxide film on the aforementioned semiconductor substrate, The process which forms a sacrifice oxide film by oxidation treatment on the aforementioned semiconductor substrate, and the process which removes the sacrifice oxide film, The process which forms a silicon oxide by oxidation treatment on the aforementioned semiconductor substrate, The process made into the silicon nitriding oxide film which carries out nitriding treatment of the silicon oxide, and constitutes a tunnel insulator layer, Furthermore, it oxidizes near the front face of the silicon nitriding oxide film which constitutes the tunnel insulator layer. The process which makes it an oxygen rich silicon nitriding oxide film with many oxygen contents near the front face of this silicon nitriding oxide film, The process which forms a memory nitride on the aforementioned tunnel insulator layer, and the process which forms the top oxide film which consists of a silicon oxide on the memory nitride, The process which

forms the source which consists of a high concentration impurity layer of the 2nd conductivity type, and a drain in the process which forms a memory gate electrode on the top oxide film, and this memory gate electrode in the aforementioned memory device field of the aforementioned semiconductor substrate and the field to adjust, The process which forms in the whole surface the insulator layer for multilayer interconnections which makes a diacid-ized silicon film a subject, The heat treatment process which activates the aforementioned high concentration impurity layer, and the process which forms a contact hole in the position corresponding to the aforementioned memory gate electrode, and the aforementioned source and the drain of the aforementioned insulator layer for multilayer interconnections by photo etching, respectively, The process which forms the wiring which connects with the aforementioned memory gate electrode, and the aforementioned source and a drain through each of that contact hole, respectively

[Claim 5] In the manufacture method of a semiconductor-nonvolatile-memory transistor according to claim 4 It oxidizes near the front face of the silicon nitriding oxide film which constitutes the aforementioned tunnel insulator layer. Replace with the process which makes it an oxygen rich silicon nitriding oxide film with many oxygen contents near the front face of this silicon nitriding oxide film, and the silicon nitriding oxide film which constitutes the aforementioned tunnel insulator layer is processed in the nitrogen-gas-atmosphere mind containing oxygen. The manufacture method of the semiconductor-nonvolatile-memory transistor characterized by having the process which makes it an oxygen rich silicon nitriding oxide film with many oxygen contents near the front face of this silicon nitriding oxide film.

[Claim 6] The manufacture method of the semiconductor-nonvolatile-memory transistor according to claim 4 characterized by providing the following The process which forms a silicon oxide by oxidation treatment on the aforementioned semiconductor substrate The process made into the silicon nitriding oxide film which carries out nitriding treatment of the silicon oxide, and constitutes a tunnel insulator layer The process which forms the silicon nitriding oxide film which constitutes a tunnel insulator layer by nitriding oxidation treatment in the front face of the semiconductor substrate which oxidized near the front face of the silicon nitriding oxide film which constitutes the tunnel insulator layer, replaced with the process which makes it an oxygen rich silicon nitriding oxide film with many oxygen contents near the front face of this silicon nitriding oxide film, and removed the aforementioned sacrifice oxide film The process which heat-treats the aforementioned silicon nitriding oxide film in oxygen atmosphere, and makes it an oxygen rich silicon nitriding oxide film with many oxygen contents near the front face of this silicon nitriding oxide film following it

[Claim 7] The manufacture method of the semiconductor-nonvolatile-memory transistor according to claim 4 characterized by providing the following The process made into the silicon nitriding oxide film which carries out nitriding treatment of the aforementioned silicon oxide, and constitutes a tunnel insulator layer Oxygen after oxidizing near the front face of the silicon nitriding oxide film which constitutes the tunnel insulator layer, replacing with the process which makes it an oxygen rich silicon nitriding oxide film with many oxygen contents near the front face of this silicon nitriding oxide film and pouring nitrogen ion into the aforementioned silicon oxide

[Claim 8] The manufacture method of a semiconductor-nonvolatile-memory transistor of carrying out having the process which oxidizes near the front face of the silicon nitriding oxide film which constitutes the aforementioned tunnel insulator layer in the manufacture method of a semiconductor-nonvolatile-memory transistor according to claim 4, replaces with the process which makes it an oxygen rich silicon nitriding oxide film with many oxygen contents near the front face of this silicon nitriding oxide film, forms a thin film silicon oxide in the front face of the silicon nitriding oxide film which constitutes the aforementioned tunnel insulator layer according to a CVD process, and makes a part [the aforementioned tunnel insulator layer] as the feature.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-321740

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8247
29/788
29/792
27/115

H 0 1 L 29/78
27/10

3 7 1
4 3 4

審査請求 未請求 請求項の数8 O L (全 14 頁)

(21) 出願番号 特願平10-68482

(22) 出願日 平成10年(1998)3月18日

(31) 優先権主張番号 特願平9-66262

(32) 優先日 平9(1997)3月19日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 岸 敏幸

埼玉県所沢市大字下富字武野840番地 シ

チズン時計株式会社技術研究所内

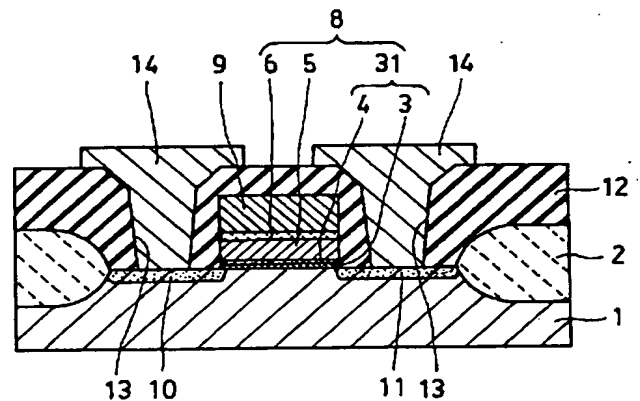
(74) 代理人 弁理士 大澤 敬

(54) 【発明の名称】 半導体不揮発性メモリトランジスタおよびその製造方法

(57) 【要約】

【課題】 MONOS型半導体不揮発性メモリトランジスタで、データ保持特性を低下することなく、データ書き換え速度を速くする。

【解決手段】 半導体基板1上に、トンネル絶縁膜31とメモリ窒化膜5とトップ酸化膜6とからなるメモリ絶縁膜8を介してメモリゲート電極9を設けた半導体不揮発性メモリトランジスタにおいて、そのトンネル絶縁膜31を、酸素と窒素を含むシリコン窒化酸化膜3と酸素リッチシリコン窒化酸化膜4とによって構成し、トンネル絶縁膜31の半導体基板1との界面近傍の窒素含有量を、メモリ窒化膜5との界面近傍の窒素含有量より多くする。



1

【特許請求の範囲】

【請求項1】 半導体基板上に、トンネル絶縁膜とメモリ窒化膜とトップ酸化膜とからなるメモリ絶縁膜を介してメモリゲート電極を設けてなる半導体不揮発性メモリトランジスタであって、

前記トンネル絶縁膜は、酸素と窒素を含むシリコン窒化酸化膜からなり、前記半導体基板との界面近傍が、前記メモリ窒化膜との界面近傍より窒素含有量が多いことを特徴とする半導体不揮発性メモリトランジスタ。

【請求項2】 請求項1記載の半導体不揮発性メモリトランジスタにおいて、前記トンネル絶縁膜の前記半導体基板との界面近傍は窒素含有量が酸素含有量より多いシリコン窒化酸化膜からなり、該トンネル絶縁膜の前記メモリ窒化膜との界面近傍は酸素含有量が窒素含有量より多い酸素リッチシリコン窒化酸化膜からなることを特徴とする半導体不揮発性メモリトランジスタ。

【請求項3】 半導体基板上に、トンネル絶縁膜とメモリ窒化膜とトップ酸化膜とからなるメモリ絶縁膜を介してメモリゲート電極を設けてなる半導体不揮発性メモリトランジスタであって、

前記トンネル絶縁膜は、前記半導体基板との界面近傍はシリコン窒化膜からなり、前記メモリ窒化膜との界面近傍はシリコン酸化膜からなることを特徴とする半導体不揮発性メモリトランジスタ。

【請求項4】 第1導電型の半導体基板上にパッド酸化膜を形成する工程と、

そのパッド酸化膜上にシリコン窒化膜を形成する工程と、

フォトリソエッチングにより、前記半導体基板上のメモリ素子領域を残して前記シリコン窒化膜をエッチングする工程と、

前記メモリ素子領域に残したシリコン窒化膜を耐酸化マスクにして選択酸化処理により、前記メモリ素子領域の周囲にフィールド酸化膜を形成する工程と、

前記半導体基板上の前記シリコン窒化膜と前記パッド酸化膜を除去する工程と、

前記半導体基板上に酸化処理により犠牲酸化膜を形成する工程と、

その犠牲酸化膜を除去する工程と、

前記半導体基板上に酸化処理によりシリコン酸化膜を形成する工程と、

そのシリコン酸化膜を窒化処理してトンネル絶縁膜を構成するシリコン窒化酸化膜にする工程と、

さらに、そのトンネル絶縁膜を構成するシリコン窒化酸化膜の表面近傍を酸化処理して、該シリコン窒化酸化膜の表面近傍を酸素含有量の多い酸素リッチシリコン窒化酸化膜にする工程と、

前記トンネル絶縁膜上にメモリ窒化膜を形成する工程と、

そのメモリ窒化膜上にシリコン酸化膜からなるトップ酸

2

化膜を形成する工程と、

そのトップ酸化膜上にメモリゲート電極を形成する工程と、

前記半導体基板の前記メモリ素子領域におけるこのメモリゲート電極と整合する領域に第2導電型の高濃度不純物層からなるソースとドレインとを形成する工程と、
全面に二酸化シリコン膜を主体とする多層配線用絶縁膜を形成する工程と、

前記高濃度不純物層を活性化する熱処理工程と、

10 フォトリソエッチングによって前記多層配線用絶縁膜の前記メモリゲート電極および前記ソースとドレインにそれぞれ対応する位置にコンタクトホールを形成する工程と、
その各コンタクトホールを通してそれぞれ前記メモリゲート電極および前記ソースとドレインに接続する配線を形成する工程とを有することを特徴とする半導体不揮発性メモリトランジスタの製造方法。

【請求項5】 請求項4記載の半導体不揮発性メモリトランジスタの製造方法において、

20 前記トンネル絶縁膜を構成するシリコン窒化酸化膜の表面近傍を酸化処理して、該シリコン窒化酸化膜の表面近傍を酸素含有量の多い酸素リッチシリコン窒化酸化膜にする工程に代えて、

前記トンネル絶縁膜を構成するシリコン窒化酸化膜を酸素を含んだ窒素雰囲気中で処理して、該シリコン窒化酸化膜の表面近傍を酸素含有量の多い酸素リッチシリコン窒化酸化膜にする工程を有することを特徴とする半導体不揮発性メモリトランジスタの製造方法。

【請求項6】 請求項4記載の半導体不揮発性メモリトランジスタの製造方法において、

30 前記半導体基板上に酸化処理によりシリコン酸化膜を形成する工程と、

そのシリコン酸化膜を窒化処理してトンネル絶縁膜を構成するシリコン窒化酸化膜にする工程と、

そのトンネル絶縁膜を構成するシリコン窒化酸化膜の表面近傍を酸化処理して、該シリコン窒化酸化膜の表面近傍を酸素含有量の多い酸素リッチシリコン窒化酸化膜にする工程とに代えて、

前記犠牲酸化膜を除去した半導体基板の表面に窒化酸化処理によりトンネル絶縁膜を構成するシリコン窒化酸化膜を形成する工程と、

40 それに続いて、前記シリコン窒化酸化膜を酸素雰囲気中で熱処理して、該シリコン窒化酸化膜の表面近傍を酸素含有量の多い酸素リッチシリコン窒化酸化膜にする工程とを有することを特徴とする半導体不揮発性メモリトランジスタの製造方法。

【請求項7】 請求項4記載の半導体不揮発性メモリトランジスタの製造方法において、

前記シリコン酸化膜を窒化処理してトンネル絶縁膜を構成するシリコン窒化酸化膜にする工程と、

50 そのトンネル絶縁膜を構成するシリコン窒化酸化膜の表

面近傍を酸化処理して、該シリコン窒化酸化膜の表面近傍を酸素含有量の多い酸素リッチシリコン窒化酸化膜にする工程とに代えて、

前記シリコン酸化膜に窒素イオンを注入した後、酸素を含む窒素雰囲気中で熱処理を行なって、前記半導体基板上に、該半導体基板との界面近傍では窒素含有量が酸素含有量より多く、表面近傍では酸素含有量が窒素含有量より多いトンネル絶縁膜を形成する工程を有することを特徴とする半導体不揮発性メモリトランジスタの製造方法。

【請求項8】 請求項4記載の半導体不揮発性メモリトランジスタの製造方法において、

前記トンネル絶縁膜を構成するシリコン窒化酸化膜の表面近傍を酸化処理して、該シリコン窒化酸化膜の表面近傍を酸素含有量の多い酸素リッチシリコン窒化酸化膜にする工程に代えて、

前記トンネル絶縁膜を構成するシリコン窒化酸化膜の表面にCVDプロセスによって薄膜シリコン酸化膜を形成して前記トンネル絶縁膜の一部とする工程を有することを特徴とする半導体不揮発性メモリトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体不揮発性メモリトランジスタの構造とその製造方法とに関し、特にメモリ絶縁膜がトンネル絶縁膜とメモリ窒化膜とトップ酸化膜とからなるいわゆるMONOS (Metal Oxide Nitride Oxide Semiconductor) 型と称される半導体不揮発性メモリトランジスタのメモリ特性の向上と信頼性を高める技術に関するものである。

【0002】

【従来の技術】一般に、MONOS型の半導体不揮発性メモリトランジスタの情報の書き換えは、メモリゲート電極にバイアス電圧を印加することにより、半導体基板からトンネル絶縁膜を通してメモリ窒化膜中およびトンネル絶縁膜とメモリ窒化膜との界面およびメモリ窒化膜とトップ酸化膜との界面に、電子あるいは正孔を注入することにより行なっている。

【0003】ここで、従来のMONOS型半導体不揮発性メモリトランジスタのNチャネル型トランジスタの構造を、図25に示す模式的な断面図を用いて説明する。図25に示すように、P型の導電型(第1の導電型)を示す半導体基板1の表面のメモリ素子領域の周辺にフィールド酸化膜2を設け、その半導体基板1のメモリ素子領域上に設けたトンネル絶縁膜31とメモリ窒化膜5とトップ酸化膜6とによってメモリ絶縁膜8を構成し、そのメモリ絶縁膜8上にメモリゲート電極9を設けてMONOS構造を構成している。

【0004】さらに、半導体基板1のメモリ素子領域には、メモリゲート電極9に自己整合してN型の導電型

(第2の導電型)を示す高濃度不純物層からなるソース10とドレイン11を設けている。そして、この半導体基板1の全面に二酸化シリコン膜を主体とする多層配線用絶縁膜12を設け、その多層配線用絶縁膜12に形成された各コンタクトホール13を介して、ソース10、ドレイン11、および図示していないがメモリゲート電極9にそれぞれ接続する配線14を設けている。

【0005】このような従来のMONOS型半導体不揮発性メモリトランジスタにおける情報の書き換えは、メモリゲート電極9にバイアス電圧を印加することにより行なう。すなわち、Nチャネル型のメモリトランジスタの場合には、メモリゲート電極9にプラスのバイアス電圧を印加し、半導体基板1およびソース10とドレイン11を接地することにより、半導体基板1からトンネル絶縁膜31を通してメモリ絶縁膜8に電子を注入し、メモリ窒化膜5中およびトンネル絶縁膜31とメモリ窒化膜5との界面、およびメモリ窒化膜5とトップ酸化膜6との界面に電子を捕獲する。

【0006】この電子を捕獲したNチャネル型のMONOS型半導体不揮発性メモリトランジスタのしきい値電圧は通常より高くなる。すなわちエンハンスメント動作をする。この場合を書き込み状態と呼ぶ。

【0007】これとは逆に、メモリゲート電極9を接地し、半導体基板1およびソース10とドレイン11にプラスのバイアス電圧を印加すると、半導体基板1からトンネル絶縁膜31を通してメモリ絶縁膜8に正孔を注入し、メモリ窒化膜5中およびトンネル絶縁膜31とメモリ窒化膜5との界面、およびメモリ窒化膜5とトップ酸化膜6との界面に正孔を捕獲する。

【0008】この正孔を捕獲したNチャネル型のMONOS型半導体不揮発性メモリトランジスタのしきい値電圧は、通常より低くなる。すなわちディプレッション動作をする。この場合を消去状態と呼ぶ。このように、MONOS型半導体不揮発性メモリトランジスタは、半導体基板1からトンネル絶縁膜31を介してメモリ絶縁膜8に電子あるいは正孔を注入することにより、書き込み状態あるいは消去状態として情報の書き込みを行なう。

【0009】なお、Pチャネル型のメモリトランジスタの場合には、バイアス電圧の極性と書き込み状態および消去状態との関係が、上述したNチャネル型のメモリトランジスタの場合と逆になり、正孔を注入したときが書き込み状態で、電子を注入したときが消去状態になる。いずれにしても、MONOS型半導体不揮発性メモリトランジスタにおける情報の書き換え動作は、トンネル絶縁膜31の膜厚、材料、および膜質に大きく依存する。

【0010】たとえば、トンネル絶縁膜31の膜厚が厚くなると電子および正孔の半導体基板からの注入効率が低下するため、書き込みスピードの低下と電子および正孔の注入量の低下による捕獲量の低下が生じて情報の書き込みが困難となる。このため、従来はトンネル絶縁膜

5

31を、シリコン酸化膜を窒化処理することにより形成したシリコン窒化酸化膜によって構成していた。このシリコン窒化酸化膜の動作を、図26に示すエネルギーバンド図を用いて説明する。

【0011】図26に示すエネルギーバンド図は、縦方向にエネルギー状態を示し、横方向にMONOS型半導体不揮発性メモリトランジスタのメモリ絶縁膜8の膜構成を示している。このエネルギーバンド図は、半導体基板1にプラスのバイアス電圧を印加した場合で、Nチャネル型のMONOS型半導体不揮発性メモリトランジスタの消去動作を示しており、膜構成をそのバイアスに応じて傾斜させて示している。

【0012】メモリ絶縁膜8におけるトンネル絶縁膜31を、破線で示すシリコン酸化膜32で構成する場合には、半導体基板1の正孔に対するシリコン酸化膜32の障壁(図26で下側)は、約3.8eVであり、電子に対するシリコン酸化膜32の障壁(図26で上側)の約3.2eVに比べて高い値を示す。このため、トンネル絶縁膜31としてシリコン酸化膜32を用いた場合には、一般的に正孔を注入する消去側の書き込みスピードが低下する。

【0013】このため、消去側のスピードを向上する手段として、メモリ酸化膜8を構成するトンネル絶縁膜31として、シリコン酸化膜32を窒化処理したシリコン窒化酸化膜を用いることが行なわれている。すなわち、シリコン酸化膜32に代えて、図26に実線で示すようにシリコン窒化酸化膜3を用いることにより、半導体基板1の正孔に対する障壁(図26で下側)は約3.3eVとなり、シリコン酸化膜32の障壁(約3.8eV)より小さな値となる。この結果、正孔注入効率が向上し、消去動作を速めることができる。

【0014】しかしながら、メモリ窒化膜5中およびトンネル絶縁膜31とメモリ窒化膜5との界面およびメモリ窒化膜5とトップ酸化膜6との界面に捕獲した正孔から見たトンネル絶縁膜31の障壁も低下するため、正孔が半導体基板1側へ抜けやすくなり、データ保持特性が低下するという問題がある。Pチャネル型のMONOS型半導体不揮発性メモリトランジスタの場合には、正孔の注入効率が向上することによって、書き込み動作を速めることができるが、捕獲された正孔が半導体基板1側へ抜けやすくなるため、やはりデータ保持特性が低下するという問題がある。

【0015】

【発明が解決しようとする課題】このように、従来のMONOS型半導体不揮発性メモリトランジスタでも、メモリ絶縁膜を構成するトンネル絶縁膜をシリコン窒化酸化膜にすることにより、消去動作あるいは書き込み動作での正孔の注入効率を向上させ、消去動作あるいは書き込み動作を速くすることはできる。

【0016】しかしながら、トンネル絶縁膜をシリコン

6

窒化酸化膜にすることにより、消去動作あるいは書き込み動作によって、メモリ絶縁膜のメモリ窒化膜中およびトンネル絶縁膜とメモリ窒化膜との界面、およびメモリ窒化膜とトップ酸化膜との界面に捕獲された正孔から見たトンネル絶縁膜の障壁が低くなり、正孔が半導体基板側へ抜けやすくなるため、データ保持特性が劣化するという問題が生じる。

【0017】この発明は、このような問題を解決するためになされたものであり、MONOS型半導体不揮発性メモリトランジスタのデータ保持特性を低下させることなく、消去動作あるいは書き込み動作を高速化できるようにすることを目的とする。すなわち、MONOS型半導体不揮発性メモリトランジスタの書き換え速度の向上とデータ保持特性の向上を計り、信頼性の高い半導体不揮発性メモリトランジスタおよびその製造方法を提供する。

【0018】

【課題を解決するための手段】この発明は上記の目的を達成するため、つぎのような半導体不揮発性メモリトランジスタとその製造方法を提供する。

【0019】この発明による半導体不揮発性メモリトランジスタは、半導体基板上に、トンネル絶縁膜とメモリ窒化膜とトップ酸化膜とからなるメモリ絶縁膜を介してメモリゲート電極を設けてなる半導体不揮発性メモリトランジスタであって、上記トンネル絶縁膜は、酸素と窒素を含むシリコン窒化酸化膜からなり、その半導体基板との界面近傍の窒素含有量を、メモリ窒化膜との界面近傍の窒素含有量より多くしたものである。

【0020】この半導体不揮発性メモリトランジスタにおいて、上記トンネル絶縁膜の半導体基板との界面近傍を窒素含有量が酸素含有量より多いシリコン窒化酸化膜で構成し、該トンネル絶縁膜のメモリ窒化膜との界面近傍を酸素含有量が窒素含有量より多い酸素リッチシリコン窒化酸化膜で構成することができる。あるいは、上記トンネル絶縁膜を、半導体基板との界面近傍はシリコン窒化膜で構成し、メモリ窒化膜との界面近傍はシリコン酸化膜で構成するようにしてもよい。

【0021】この発明による半導体不揮発性メモリトランジスタの製造方法は、次の各工程を有する。第1導電型の半導体基板上にパッド酸化膜を形成する工程、そのパッド酸化膜上にシリコン窒化膜を形成する工程、フォトリソグラフィにより、半導体基板上のメモリ素子領域を残して前記シリコン窒化膜をエッチングする工程、

【0022】上記メモリ素子領域に残したシリコン窒化膜を耐酸化マスクにして選択酸化処理により、メモリ素子領域の周囲にフィールド酸化膜を形成する工程、半導体基板上の上記シリコン窒化膜とパッド酸化膜を除去する工程、半導体基板上に酸化処理により犠牲酸化膜を形成する工程、その犠牲酸化膜を除去する工程、

【0023】半導体基板上に酸化処理によりシリコン酸

化膜を形成する工程、そのシリコン酸化膜を窒化処理して、トンネル絶縁膜を構成するシリコン窒化酸化膜にする工程、さらに、そのトンネル絶縁膜を構成するシリコン窒化酸化膜の表面近傍を酸化処理して、該シリコン窒化酸化膜の表面近傍を酸素含有量の多い酸素リッチシリコン窒化酸化膜にする工程、

【0024】上記トンネル絶縁膜上にメモリ窒化膜を形成する工程、そのメモリ窒化膜上にシリコン酸化膜からなるトップ酸化膜を形成する工程、そのトップ酸化膜上にメモリゲート電極を形成する工程、この半導体基板のメモリ素子領域における上記メモリゲート電極と整合する領域に第2導電型の高濃度不純物層からなるソースとドレインとを形成する工程、

【0025】全面に二酸化シリコン膜を主体とする多層配線用絶縁膜を形成する工程、上記高濃度不純物層を活性化熱処理工程、フォトリソエッチングによって上記多層配線用絶縁膜のメモリゲート電極およびソースとドレインにそれぞれ対応する位置にコンタクトホールを形成する工程、その各コンタクトホールを通してそれぞれメモリゲート電極およびソースとドレインに接続する配線を形成する工程、

【0026】この半導体不揮発性メモリトランジスタの製造方法において、上記トンネル絶縁膜を構成するシリコン窒化酸化膜の表面近傍を酸化処理して、該シリコン窒化酸化膜の表面近傍を酸素含有量の多い酸素リッチシリコン窒化酸化膜にする工程に代えて、上記トンネル絶縁膜を構成するシリコン窒化酸化膜を酸素を含んだ窒素雰囲気中で処理して、該シリコン窒化酸化膜の表面近傍を酸素含有量の多い酸素リッチシリコン窒化酸化膜にする工程を実施してもよい。

【0027】あるいは、上記犠牲酸化膜を除去した半導体基板の表面に窒化酸化処理によりトンネル酸化膜を構成するシリコン窒化酸化膜を形成する工程と、それに続いて、上記シリコン窒化酸化膜を酸素雰囲気中で熱処理して、該シリコン窒化酸化膜の表面近傍を酸素含有量の多い酸素リッチシリコン窒化酸化膜にする工程とを実施してもよい。

【0028】さらに、上記犠牲酸化膜を除去した後に形成したシリコン酸化膜に窒素イオンを注入した後、酸素を含む窒素雰囲気中で熱処理を行なって、上記半導体基板上に、該半導体基板との界面近傍では窒素含有量が酸素含有量より多く、表面近傍では酸素含有量が窒素含有量より多いトンネル酸化膜を形成する工程を実施するようにしてもよい。

【0029】あるいはまた、上記トンネル絶縁膜を構成するシリコン窒化酸化膜の表面にCVDプロセスによって薄膜シリコン酸化膜を形成して前記トンネル絶縁膜の一部とする工程を実施することもできる。

【0030】

【発明の実施の形態】以下、図面を用いてこの発明によ

るMONOS型半導体不揮発性メモリトランジスタの構造およびその製造方法の最適な実施の形態を詳細に説明する。

【0031】〔この発明による半導体不揮発性メモリトランジスタ：図1，図17〕この発明によるMONOS型半導体不揮発性メモリトランジスタの一実施形態の構造を、図1の模式的な断面図を用いて説明する。このMONOS型半導体不揮発性メモリトランジスタは、Nチャネル型半導体装置で示している。

10 【0032】図1に示すMONOS型半導体不揮発性メモリトランジスタは、導電型がP型（第1の導電型）の半導体基板1の表面のメモリ素子領域の周辺に、フィールド酸化膜2を設けている。

【0033】そして、その半導体基板1上にシリコン窒化酸化膜3と酸素リッチシリコン窒化酸化膜4からなるトンネル絶縁膜31を設け、そのトンネル絶縁膜31とその上に設けたメモリ窒化膜5とトップ酸化膜6とによってメモリ絶縁膜8を構成し、その上にメモリゲート電極9を設けている。

20 【0034】トンネル絶縁膜31は、酸素と窒素を含むシリコン窒化酸化膜であり、その下層のシリコン窒化酸化膜3はシリコンと酸素と窒素とからなり、窒素の含有量が酸素の含有量より多い絶縁膜である。また、上層の酸素リッチシリコン窒化酸化膜4もシリコンと酸素と窒素とからなり、酸素の含有量が窒素の含有量より多い絶縁膜である。

30 【0035】このトンネル絶縁膜31を構成するシリコン窒化酸化膜3と酸素リッチシリコン窒化酸化膜4の具体的な組成比として、X線光電子分光法で求め、 SiO_xN_y の組成比として見積ると、シリコン窒化酸化膜3は、 $x=0.5$ 、 $y=0.7$ 程度、酸素リッチシリコン窒化酸化膜4は、 $x=1.1$ 、 $y=0.3$ 程度の組成比の絶縁膜である。

40 【0036】さらに、半導体基板1の表面には、メモリゲート電極9に自己整合するように導電型がN型（第2の導電型）の高濃度不純物層からなるソース10とドレイン11を設けている。そして、全面に二酸化シリコン膜を主体とする多層配線用絶縁膜12を設け、その多層配線用絶縁膜12に形成された各コンタクトホール13を介してソース10、ドレイン11および図示していないがメモリゲート電極9にそれぞれ接続する配線14を設けている。

【0037】この発明によるMONOS型半導体不揮発性メモリトランジスタは、そのトンネル絶縁膜を、酸素と窒素を含むシリコン窒化酸化膜で構成し、その半導体基板1との界面近傍の窒素含有量が、メモリ窒化膜5との界面近傍の窒素含有量より多くなるようにしたことに特徴がある。

50 【0038】これによって、半導体基板の正孔に対するトンネル絶縁膜31の障壁を窒素含有量が多いシリコン

窒化酸化膜によって小さくして、メモリ絶縁膜8への正孔注入効率を向上させ、Nチャネル型MONOS型半導体不揮発性メモリトランジスタの消去動作を速くすることができる。しかし、メモリ窒化膜5中等に捕獲した正孔から見たトンネル絶縁膜31の障壁は、窒素含有量が少ない酸素リッチシリコン窒化酸化膜によって大きいままにして、その正孔が半導体基板側へ抜けにくくしているので、データ保持特性の低下を防止することができる。この作用および効果の詳細は後述する。

【0039】上述の図1に示した実施形態では、トンネル絶縁膜31の半導体基板1との界面近傍は窒素含有量が酸素含有量より多いシリコン窒化酸化膜3からなり、メモリ窒化膜5との界面近傍は酸素含有量が窒素含有量より多い酸素リッチシリコン窒化酸化膜4からなる。しかし、この発明によるMONOS型半導体不揮発性メモリトランジスタのトンネル絶縁膜は、この膜構成に限るものではない。例えば、図17に示すこの発明によるMONOS型半導体不揮発性メモリトランジスタの他の実施形態のように、トンネル絶縁膜31を、半導体基板1との界面近傍はシリコン窒化酸化膜3で構成し、メモリ窒化膜5との界面近傍は薄膜シリコン酸化膜41で構成するようにしてもよい。

【0040】また、上述の実施形態はNチャネル型半導体装置の場合の構成を示したが、Pチャネル型半導体装置の場合には、半導体基板1を導電型がN型の半導体基板とし、ソース10およびドレイン11を導電型がP型の高濃度不純物層になるだけであり、その他の構成は図1に示したMONOS型半導体不揮発性メモリトランジスタと同じである。そして、Nチャネル型MONOS型半導体不揮発性メモリトランジスタの場合は、メモリ絶縁膜8への正孔注入効率を向上させることにより、書き込み動作を速くすることができる。また、メモリ窒化膜5中等に捕獲した正孔が半導体基板側へ抜けにくくして、データ保持特性の低下を防止することができる。

【0041】〔製造方法の実施形態：図1～図16〕つぎに、この発明によるMONOS型半導体不揮発性メモリトランジスタの製造方法の実施形態を説明する。まず、図1に示したMONOS型半導体不揮発性メモリトランジスタの製造方法について、図2～図16と図1によって説明する。図2～図16は、図1に示したMONOS型半導体不揮発性メモリトランジスタを製造する工程の各段階を順に示す模式的な断面図である。

【0042】はじめに、図2に示すように、導電型がP型の半導体基板1を酸素と窒素との混合気体中で酸化処理を行ない、厚さ30nmの二酸化シリコン膜からなるパッド酸化膜21を半導体基板1の全面に形成する。

【0043】つぎに、このパッド酸化膜21上の全面に、ジクロルシラン(SiH_2Cl_2)とアンモニア(NH_3)のガスを用いて、温度740℃でCVD法によって、シリコン窒化膜からなるシリコンナイトライド膜2

2を、150nm程度の厚さに形成する。

【0044】そして、図3に示すように、このシリコンナイトライド膜22の全面に感光性材料であるフォトレジスト51を形成し、所定のフォトマスクを用いて露光および現像処理を行ない、メモリ素子領域の周囲のフィールド領域を開口するように、フォトレジスト51をパターンニングする。

【0045】その後、このフォトレジスト51をエッチングマスクとして、図4に示すように、シリコンナイトライド膜22のフィールド領域の部分をエッチング除去する。このシリコンナイトライド膜22のエッチングは、 $\text{SF}_6 + \text{CHF}_3 + \text{He}$ の混合ガスを用いてドライエッチング法により行なう。そして、エッチングマスクとして用いたフォトレジスト51を除去する。

【0046】つぎに、半導体基板1およびパッド酸化膜21のメモリ素子領域の周囲のフィールド領域を、シリコンナイトライド膜22を耐酸化マスクにして酸化する。このいわゆる選択酸化処理により、図5に示すようにフィールド領域にフィールド酸化膜2を700nmの厚さで形成する。この選択酸化処理は、水蒸気酸化雰囲気中で、温度1000℃で酸化処理を行なう。

【0047】そして、180℃に加熱した熱燐酸(H_3PO_4)を用いて、シリコンナイトライド膜22を除去し、さらに、フッ酸緩衝液によりパッド酸化膜21をエッチング除去する。図6はこれらの工程によって、シリコンナイトライド膜22とパッド酸化膜21を除去した状態を示す。

【0048】つぎに、酸素と窒素との混合気体中で酸化処理を行ない、図7に示すように厚さ20nm程度の二酸化シリコン膜からなる犠牲酸化膜23を半導体基板1の全面に形成し、その後、この犠牲酸化膜23をフッ酸緩衝液によりエッチング除去する。この犠牲酸化膜23の形成と除去は、この後の処理工程で形成するメモリ絶縁膜の信頼性を向上するために行なう。

【0049】すなわち、前述のように選択酸化処理により素子分離用のフィールド酸化膜2を形成する場合、選択酸化処理中にシリコンナイトライド膜22を構成する窒素と水蒸気雰囲気中の水素とが反応し、アンモニアを形成する。そのため、パッド酸化膜21と半導体基板1との界面近傍にアンモニアの反応によりシリコン窒化膜が形成され、このシリコン窒化膜が後工程での酸化マスクとして作用し、メモリ絶縁膜の膜厚が不均一となり、信頼性を低下する。この現象を解消するために、犠牲酸化膜23の形成と除去を行なう。

【0050】つぎに、酸素と窒素との混合気体中で酸化処理を行ない、図8に示すように厚さ2.2nm程度の二酸化シリコン膜からなるシリコン酸化膜24を半導体基板1のメモリ素子領域の全面に形成する。そして、このシリコン酸化膜24を、温度950℃のアンモニア(NH_3)雰囲気中で窒化処理を行ない、図9に示すよ

11

うに半導体基板1のメモリ素子領域の全面にシリコン窒化酸化膜3を形成する。

【0051】その後、温度900℃の0.2%程度の酸素を含む窒素雰囲気中で、酸化処理を行ない、図10に示すように、シリコン窒化酸化膜3の表面に酸素リッチシリコン窒化酸化膜4を形成し、シリコン窒化酸化膜3と酸素リッチシリコン窒化酸化膜4とからなるトンネル絶縁膜31を形成する。

【0052】この微量の酸素を含む窒素雰囲気中の処理により、トンネル絶縁膜31は半導体基板1側では酸素含有量より窒素含有量が多いシリコン窒化酸化膜3とし、半導体基板1と接しないトンネル絶縁膜31の上層は窒素含有量の少ない酸素リッチシリコン窒化酸化膜4とすることができる。

【0053】つぎに図11に示すように、このトンネル絶縁膜31上を含む全面にCVD法により、窒化シリコン膜からなるメモリ窒化膜5を9nm程度の厚さで形成する。このメモリ窒化膜5の形成は、ジクロルシラン(SiH_2Cl_2)とアンモニア(NH_3)のガスを用いて、温度700℃でCVD法によって形成する。

【0054】さらに、温度950℃の水蒸気酸化雰囲気中で酸化処理を行ない、メモリ窒化膜5を酸化して、このメモリ窒化膜5上に二酸化シリコン膜からなるトップ酸化膜6を形成する。この酸化処理により、メモリ窒化膜5の膜厚は7nm程度となり、トップ酸化膜6の膜厚は3nm程度となる。

【0055】そしてさらに、モノシラン(SiH_4)のガスを用いて、温度600℃でCVD法によって、多結晶シリコン膜からなるメモリゲート電極材料9bを450nm程度の厚さで全面に形成する。

【0056】つぎに、全面にフォトリソストを形成した後、所定のフォトリソマスクを用いて露光および現像処理を行ない、図12に示すようにメモリゲート電極を形成する領域にフォトリソスト52を形成する。

【0057】その後、このフォトリソスト52をエッチングのマスクとして、メモリゲート電極材料9bである多結晶シリコン膜を、 $\text{SF}_6 + \text{O}_2$ の混合気体をエッチングガスとして用いるドライエッチング法によりエッチングする。

【0058】ついで、同様にフォトリソスト52をエッチングのマスクとして、トップ酸化膜6とメモリ窒化膜5と酸素リッチシリコン窒化酸化膜4とシリコン窒化酸化膜3とを、 $\text{CF}_4 + \text{He} + \text{CBrF}_3 + \text{O}_2$ の混合気体をエッチングガスとして用いるドライエッチング法によりエッチングする。その後、フォトリソスト52を除去する。

【0059】その結果、図13に示すように、半導体基板1上に設けたシリコン窒化酸化膜3と酸素リッチシリコン窒化酸化膜4とからなるトンネル絶縁膜31およびメモリ窒化膜5とトップ酸化膜6とによって構成される

12

メモリ絶縁膜8と、メモリゲート電極9とからなるMONOS構造を構成する。

【0060】つぎに、メモリゲート電極9をイオン注入のマスクとして用いて、半導体基板1と逆導電型のN型の不純物であるリンを加速エネルギー50keV、イオン注入量 $3.5 \times 10^{15} \text{atoms/cm}^2$ 程度でイオン注入する。その結果、同じく図13に示すように、第2導電型のソース10およびドレイン11として半導体基板1にN型の高濃度不純物層を形成する。

【0061】その後、図14に示すように、全面に二酸化シリコン膜を主体とする多層配線用絶縁膜12を形成する。そして、N型の高濃度不純物層の活性化と多層配線用絶縁膜12のリフローを兼ねて、窒素雰囲気中で、温度900℃の熱処理を行なう。さらに、図15に示すように、多層配線用絶縁膜12に接続孔であるコンタクトホールを開口するためのフォトリソスト53を形成する。

【0062】そして、フォトリソスト53をエッチングマスクにしてコンタクトホール13を図15に示すように設ける。このコンタクトホール13を形成するためのエッチングは、 $\text{C}_2\text{F}_6 + \text{He} + \text{CHF}_3$ の混合気体をエッチングガスとして用いるドライエッチング法により行なう。その後、フォトリソスト53を除去する。

【0063】ついで、図16に示すように、配線材料14bとしてアルミニウムを各コンタクトホール13内を含む全面に設け、その上に配線を形成するためのフォトリソスト54をパターン形成する。

【0064】その後、フォトリソスト技術を用いて配線材料14bをエッチングする。このエッチングは、 $\text{BCl}_3 + \text{CHCl}_3 + \text{Cl}_2 + \text{N}_2$ の混合気体をエッチングガスとして用いるドライエッチング法により行ない、図1に示す配線14を形成する。これによって、図1に示したMONOS型半導体不揮発性メモリトランジスタが完成する。

【0065】〔製造方法の他の実施形態〕つぎに、この発明によるMONOS型半導体不揮発性メモリトランジスタの製造方法の他の実施形態について説明する。以下に述べる他の各実施形態において、図2乃至図16によって説明した上述の実施形態と相違するのは、図1に示したMONOS型半導体不揮発性メモリトランジスタのトンネル絶縁膜31を形成する工程だけであり、その他の工程は上述の実施形態と同様であるので、その説明は省略する。

【0066】まず、他の製造方法の第1の例によるトンネル絶縁膜の形成工程を、図7から図11を利用して説明する。図7に示すように半導体基板1上のメモリ素子領域の周辺のフィールド領域にフィールド酸化膜2を形成し、メモリ素子領域に犠牲酸化膜23を形成した後、それを除去する。

【0067】そして、酸素と窒素との混合気体中で酸化

処理を行ない、図8に示すように、膜厚が2.2nm程度の二酸化シリコン膜からなるシリコン酸化膜24を、半導体基板1のメモリ素子領域の全面に形成する。さらに、このシリコン酸化膜24を温度950℃のアンモニア(NH₃)雰囲気中で窒化処理を行ない、図9に示すようにシリコン窒化酸化膜3を形成するまでは、前述の製造方法と同様な各工程の処理を行なう。

【0068】その後、前述の製造方法における酸素を含む酸素雰囲気中で酸化処理に代えて、ランプアニール装置を用いて、温度1000℃の一酸化二窒素(N₂O)ガス雰囲気中で、時間20秒の処理を行ない、図10に示すように、シリコン窒化酸化膜3の表面に酸素リッチシリコン窒化酸化膜4を形成する。それにより、半導体基板1のメモリ素子領域上に、シリコン窒化酸化膜3と酸素リッチシリコン窒化酸化膜4とからなるトンネル絶縁膜31を形成することができる。

【0069】N₂Oガス雰囲気中で処理により、トンネル絶縁膜31は、半導体基板1側では酸素含有量より窒素含有量が多いシリコン窒化酸化膜3であり、半導体基板1と接しないトンネル絶縁膜31の上層は窒素含有量の少ない酸素リッチシリコン窒化酸化膜4とすることができる。その後、図11に示すように、このトンネル酸化膜31上にメモリ窒化膜5、トップ酸化膜6、およびメモリゲート電極材料9bを順次形成する工程以降は、前述の製造方法の各工程と同じである。

【0070】つぎに、他の製造方法の第2の例によるトンネル絶縁膜の形成工程を、図7、図9および図10を利用して説明する。図7に示すように、半導体基板1上のメモリ素子領域の周辺のフィールド領域にフィールド酸化膜2を形成し、メモリ素子領域に犠牲酸化膜23を形成した後それを除去する。ここまでは、前述の製造方法と同様な各工程の処理を行なう。

【0071】そして、犠牲酸化膜23を除去した後、前述の各製造方法の場合のように図8に示したシリコン酸化膜24を形成することなく、直ちにランプアニール装置を用いて、温度1000℃の一酸化二窒素(N₂O)ガス雰囲気中で、時間20秒の処理を行い、図9に示すように半導体基板1のメモリ素子領域にシリコン窒化酸化膜3を形成する。

【0072】その後、連続して同じランプアニール装置を用いて、温度1000℃の酸素雰囲気中で、時間10秒の処理を行ない、図10に示すように、シリコン窒化酸化膜3の表面に酸素リッチシリコン窒化酸化膜4を形成する。これによって、半導体基板1のメモリ素子領域上に、シリコン窒化酸化膜3と酸素リッチシリコン窒化酸化膜4とからなるトンネル絶縁膜31を形成する。

【0073】この製造方法によっても、トンネル絶縁膜31は、半導体基板1側では酸素含有量より窒素含有量が多いシリコン窒化酸化膜3であり、半導体基板1と接しないトンネル絶縁膜31の上層は窒素含有量の少ない

酸素リッチシリコン窒化酸化膜4とすることができる。これ以後の各工程は、前述の製造方法の各工程と同じである。

【0074】つぎに、他の製造方法の第3の例によるトンネル絶縁膜の形成工程を、図8および図10を利用して説明する。図8に示すように、半導体基板1上のメモリ素子領域の周辺のフィールド領域にフィールド酸化膜2を形成し、その後メモリ素子領域にシリコン酸化膜24を形成するまでは、最初に説明した製造方法と同様な各工程の処理を行なう。

【0075】そして、図8に示すようにシリコン酸化膜24を形成した後、イオン注入装置を用いて、そのシリコン酸化膜24中に窒素イオンを注入後、酸素を含む酸素雰囲気中で熱処理を行なうことにより、図10に示すようにシリコン窒化酸化膜3の上層を酸素リッチシリコン窒化酸化膜4にしたトンネル酸化膜31を形成することができる。

【0076】つぎに、他の製造方法の第4の例によるトンネル絶縁膜の形成工程を、図18から図20によって説明する。図7に示したように半導体基板1上のメモリ素子領域の周辺のフィールド領域にフィールド酸化膜2を形成し、メモリ素子領域に犠牲酸化膜23を形成した後、それを除去するまでは、最初に説明した製造方法と同じ各工程を行なう。

【0077】そして、酸素と窒素との混合気体中で酸化処理を行ない、図18に示すように、二酸化シリコン膜からなるシリコン酸化膜24を、膜厚1.1nm程度に半導体基板1のメモリ素子領域の全面に形成する。この工程も最初に説明した製造方法において、図8によって説明した工程と同様であるが、形成するシリコン酸化膜24の膜厚が、先に説明した製造方法の場合は2.2nm程度であったが、この例の場合にはその約半分の膜厚にする。

【0078】その後、このシリコン酸化膜24を温度950℃のアンモニア(NH₃)雰囲気中で窒化処理を行ない、図19に示すようにシリコン窒化酸化膜3を形成する。このシリコン窒化酸化膜3の膜厚も1.1nm程度になる。次いで、モノシラン(SiH₄)と酸素(O₂)とを反応ガスとして用いるCVD法によって、図20に示すように、二酸化シリコン膜からなる薄膜シリコン酸化膜41を、1.2nm程度の厚さでシリコン窒化酸化膜3の全面に形成し、シリコン窒化酸化膜3と薄膜シリコン酸化膜41とからなるトンネル絶縁膜31を形成する。

【0079】その後、最初の製造方法にいて図11から図16によって説明した各工程と同様な工程を行うことにより、図17に示したMONOS型半導体不揮発性メモリトランジスタを完成することができる。

【0080】この製造方法によって作成された、図17のMONOS型半導体不揮発性メモリトランジスタによ

っても、トンネル絶縁膜31は、半導体基板1側では酸素含有量より窒素含有量が多いシリコン窒化酸化膜3であり、半導体基板1と接しないトンネル絶縁膜31の上層は窒素を含有しない薄膜シリコン酸化膜41となるので、前述の各製造方法によって作られた図1のMONOS型半導体不揮発性メモリトランジスタと同様な効果が得られる。

【0081】以上の各製造方法の実施形態は、主としてNチャネル型のMONOS型半導体不揮発性メモリトランジスタを製造する場合の例で説明したが、Pチャネル型のMONOS型半導体不揮発性メモリトランジスタを製造する場合には、半導体基板として導電型がN型の半導体基板を使用し、ソースおよびドレインを導電型がP型の高濃度不純物層によって形成するようにすればよい。その他の各工程は上述の各製造方法と同様である。

【0082】〔この発明の作用効果に係る説明〕ここで、この発明によるMONOS型半導体不揮発性メモリトランジスタの作用効果を、図21に示すエネルギーバンド図を用いて説明する。このエネルギーバンド図は、従来例であるトンネル絶縁膜31がシリコン酸化膜32の場合（図中に破線で示す）と、この発明によるトンネル絶縁膜31をシリコン窒化酸化膜3と酸素リッチシリコン窒化酸化膜4で構成した場合（図中に実線で示す）を比較して示してある。

【0083】図1に示したこの発明によるNチャネル型のMONOS型半導体不揮発性メモリトランジスタでは、消去側のスピードを向上する手法として、トンネル絶縁膜31は、シリコン酸化膜を窒化処理したシリコン窒化酸化膜3を半導体基板1側に設けている。

【0084】すなわち、図21に示すように、トンネル絶縁膜31の半導体基板1との界面近傍をシリコン窒化酸化膜3とすることにより、半導体基板1の正孔に対する障壁が、破線で示すシリコン酸化膜32の障壁（約3.8eV）より小さな値（約3.3eV）となる。その結果、正孔注入効率が向上し、消去動作を向上させることができる。

【0085】さらに、従来は問題となっていた、メモリ窒化膜5中およびトンネル絶縁膜31とメモリ窒化膜5との界面およびメモリ窒化膜5とトップ酸化膜6との界面に捕獲した正孔から見たトンネル絶縁膜31の障壁の低下によるデータ保持特性の低下に関しては、トンネル絶縁膜31のメモリ窒化膜5との界面近傍を酸素リッチシリコン窒化酸化膜4としたことによって解決している。すなわち、捕獲した正孔から見たトンネル絶縁膜31の障壁は、破線で示すシリコン酸化膜32による障壁と同等な値を示すため、正孔が半導体基板1側へ抜けにくくなって、データ保持特性の低下を防止することができる。

【0086】この効果は、トンネル絶縁膜31の半導体基板1との界面近傍をシリコン酸化膜とし、メモリ窒化

膜5との界面近傍をシリコン酸化膜とした場合でも同様である。また、Pチャネル型のMONOS型半導体不揮発性メモリトランジスタにこの発明を適用した場合には、書き込み効率を向上させ、且つデータ保持特性の低下を防止することができる。

【0087】すなわち、この発明は、データ保持特性の低下を防ぎながら、消去動作あるいは書き込み動作を速めることができ、MONOS型半導体不揮発性メモリトランジスタの書き換え速度の向上とデータ保持特性の向上を達成することができる。したがって、信頼性の高い半導体不揮発性素子を提供することができる。

【0088】つぎに、この本発明による効果を、図22から図24の特性図を用いて説明する。図22は、本発明の製造方法により作成したMONOS型半導体不揮発性メモリトランジスタと従来の製造方法により作成したMONOS型半導体不揮発性メモリトランジスタの、Nチャネル型トランジスタの場合の情報の書き換え特性を示している。

【0089】図22の情報の書き換え特性図は、プログラム電圧を7Vとし、横軸にはプログラム時間を対数で示し、縦軸には各プログラム時間におけるしきい値電圧の変化量を ΔV_{th} で示しており、電子の注入によるしきい値電圧の上昇動作をプラスで表し、正孔注入によるしきい値電圧の低下動作をマイナスで表している。ここで、電子の注入によるしきい値電圧の上昇動作を書き込みと呼び、正孔の注入によるしきい値電圧の低下動作を消去と呼ぶ。

【0090】図22に示すように、トンネル絶縁膜がシリコン酸化膜（図中○印で示す）の場合およびシリコン窒化酸化膜（図中△印で示す）の場合の従来例による情報書き換え特性は、トンネル絶縁膜がシリコン酸化膜からなる場合の特性が、特に消去側でのしきい値電圧の変化が遅いという特徴が見られる。すなわち、情報の書き換え時に消去時間として長時間必要であり、図22で示した例では消去が不可能になっている。

【0091】この消去時間が長くなるという問題は、先に図26によって説明したように、消去動作が半導体基板からの正孔注入による方法であるため、書き込み時の電子の注入に比較して、半導体基板から見たトンネル絶縁膜の障壁が高く、この障壁を正孔が越える確率が低いために生じる。

【0092】そのため、他の従来技術では、消去時間を短くするために、トンネル絶縁膜をシリコン窒化酸化膜により構成し、正孔に対する障壁を低下させるという手段がとられている。すなわち、図22に三角点のプロットで示すように、トンネル絶縁膜をシリコン酸化膜からシリコン窒化酸化膜に変えることにより、消去側の特性が向上しており、MONOS型半導体不揮発性メモリトランジスタの情報書き込み動作を高速化できる。

【0093】トンネル絶縁膜をシリコン窒化酸化膜と酸

素リッチシリコン窒化酸化膜とから構成した本発明によるものの特性は、図22に黒丸点のプロットで示すように、従来のシリコン窒化酸化膜でトンネル絶縁膜を形成した場合と同等な書き込み特性を示している。

【0094】このように、消去側の書き込み特性を向上した場合、従来のシリコン窒化酸化膜のみによるトンネル絶縁膜では、データ保持特性が問題になる。このデータ保持特性の向上効果を図23および図24を用いて説明する。

【0095】図23と図24は、横軸にはトンネル絶縁膜の条件を、従来のトンネル絶縁膜がシリコン酸化膜の場合とシリコン窒化酸化膜の場合、および本発明による場合を示し、縦軸には、データ保持特性から調べたしきい値電圧の時間に対する傾きであるデータ保持特性の傾き(Decay rate)を示している。このデータ保持特性の傾きの値が零に近い値であるほど、データ保持特性が良いことを示す。

【0096】図23は電子を注入した書き込み側の特性を示している。したがって、しきい値電圧は書き込み後、低くなる方向へ時間の経過とともにシフトするため、縦軸のデータ保持特性の傾きはマイナスの値で示している。

【0097】本発明では、図21のエネルギーバンド図で示したように、窒化処理により膜厚が増加していることと、捕獲した電子から見た障壁もシリコン酸化膜と同等であることから、データ保持特性の傾きが零に近い値を示し、データ保持特性が従来のものと比べて向上している。

【0098】図24は正孔を注入した消去側の特性を示している。したがって、しきい値電圧は消去後、高くなる方向へ時間の経過とともにシフトするため、縦軸のデータ保持特性の傾きはプラスの値で示している。

【0099】消去側でも、図21のエネルギーバンド図で示したように、捕獲した正孔から見た障壁が、シリコン窒化酸化膜の場合より大きくなっているため、データ保持特性が向上している。また、従来のトンネル絶縁膜がシリコン酸化膜の場合には、図22に示したように正孔の注入がほとんどできないため、図24ではシリコン酸化膜の場合のデータを図示していない。

【0100】このように、消去側の特性を向上するために行なう従来のトンネル絶縁膜をシリコン窒化酸化膜とする構造は、注入した正孔から見たトンネル絶縁膜の障壁も低下し、正孔が半導体基板側へ抜けやすくなり、データ保持特性が劣化するという問題が生じたが、この発明によれば、半導体基板側の障壁は低くして正孔の注入確率を高めて消去特性を向上し、メモリ窒化膜側の障壁は高くして正孔の半導体基板側への抜けを少なくすることによりデータ保持特性を向上する。Pチャネル型のMONOS型半導体不揮発性メモリトランジスタの場合には、データ保持特性を低下させることなく、書き込み動

作を速めることができる。

【0101】

【発明の効果】以上説明してきたように、この発明による半導体不揮発性メモリトランジスタは、データの保持特性を低下させることなく、データ書き換え速度を高めることができる。また、この発明の製造方法によれば、データ保持特性が良好で信頼性が高く、且つデータ書き換え速度が速い半導体不揮発性メモリトランジスタを、容易に製造することができる。

10 【図面の簡単な説明】

【図1】この発明による半導体不揮発性メモリトランジスタの一実施形態の完成状態の構造を示す模式的な断面図である。

【図2】図1に示した半導体不揮発性メモリトランジスタの製造方法の一実施形態の最初の数工程を説明するための模式的な断面図である。

【図3】同じく次の工程を説明するための模式的な断面図である。

20 【図4】同じく次の工程を説明するための模式的な断面図である。

【図5】同じく次の工程を説明するための模式的な断面図である。

【図6】同じく次の工程を説明するための模式的な断面図である。

【図7】同じく次の工程を説明するための模式的な断面図である。

【図8】同じく次の工程を説明するための模式的な断面図である。

30 【図9】同じく次の工程を説明するための模式的な断面図である。

【図10】同じく次の工程を説明するための模式的な断面図である。

【図11】同じく次の工程を説明するための模式的な断面図である。

【図12】同じく次の工程を説明するための模式的な断面図である。

【図13】同じく次の工程を説明するための模式的な断面図である。

40 【図14】同じく次の工程を説明するための模式的な断面図である。

【図15】同じく次の工程を説明するための模式的な断面図である。

【図16】同じく次の工程を説明するための模式的な断面図である。

【図17】この発明による半導体不揮発性メモリトランジスタの他の一実施形態の完成状態の構造を示す模式的な断面図である。

50 【図18】図17に示した半導体不揮発性メモリトランジスタの製造方法によってトンネル絶縁膜を形成する最初の工程を説明するための模式的な断面図である。

19

【図 19】同じく次の工程を説明するための模式的な断面図である。

【図 20】同じく次の工程を説明するための模式的な断面図である。

【図 21】この発明による半導体不揮発性メモリトランジスタの作用効果を説明するためのエネルギーバンド図である。

【図 22】この発明によるMONOS型半導体不揮発性メモリトランジスタと従来のMONOS型半導体不揮発性メモリトランジスタのプログラム時間としきい値電圧の変化量 (ΔV_{th}) の相関特性を示す線図である。

【図 23】この発明によるMONOS型半導体不揮発性メモリトランジスタと従来のMONOS型半導体不揮発性メモリトランジスタの書き込み側のデータ保持特性の傾き特性を示す図である。

【図 24】この発明によるMONOS型半導体不揮発性メモリトランジスタと従来のMONOS型半導体不揮発性メモリトランジスタの消去側のデータ保持特性の傾き特性を示す図である。

10

*

20

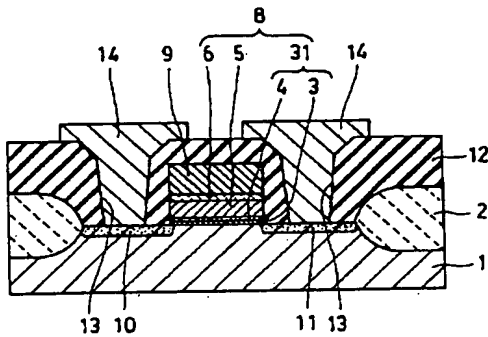
* 【図 25】従来のMONOS型半導体不揮発性メモリトランジスタの構造を示す模式的な断面図である。

【図 26】従来のMONOS型半導体不揮発性メモリトランジスタのエネルギーバンド図である。

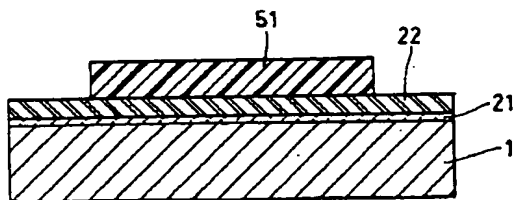
【符号の説明】

- | | |
|-------------------------|------------------|
| 1 : 半導体基板 | 2 : フィールド酸化膜 |
| 3 : シリコン窒化酸化膜 | |
| 4 : 酸素リッチシリコン窒化酸化膜 | |
| 5 : メモリ窒化膜 | 6 : トップ酸化膜 |
| 8 : メモリ絶縁膜 | 9 : メモリゲート電極 |
| 9b : メモリゲート電極材料 | |
| 10 : ソース | 11 : ドレイン |
| 12 : 多層配線用絶縁膜 | |
| 13 : コンタクトホール | 14 : 配線 |
| 21 : パッド酸化膜 | 22 : シリコンナイトライド膜 |
| 23 : 犠牲酸化膜 | 24, 32 : シリコン酸化膜 |
| 31 : トンネル絶縁膜 | |
| 51, 52, 53, 54 : フォトリソグ | |

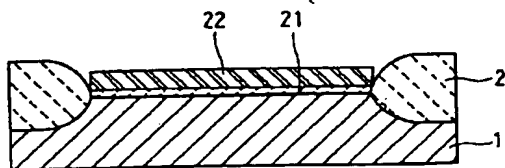
【図 1】



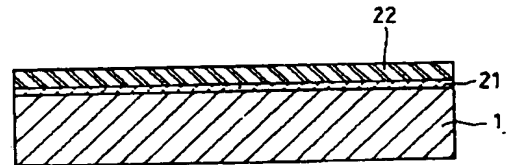
【図 3】



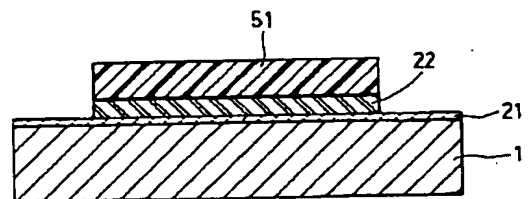
【図 5】



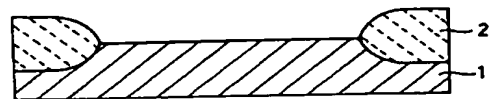
【図 2】



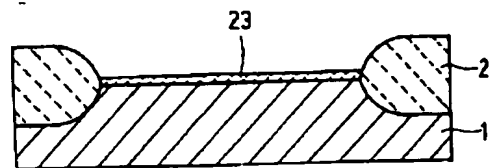
【図 4】



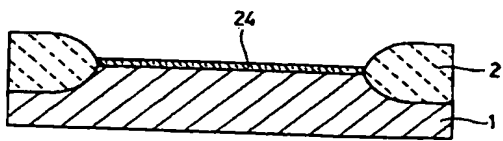
【図 6】



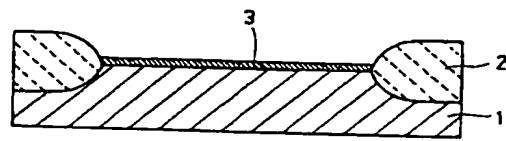
【図 7】



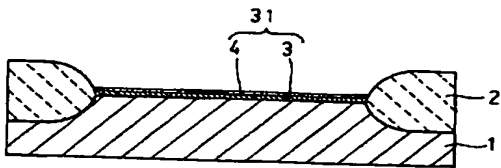
【図8】



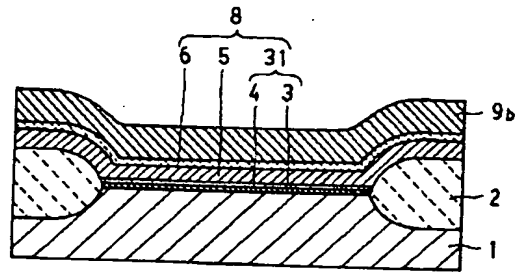
【図9】



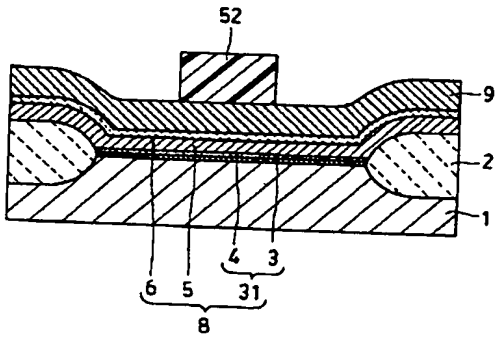
【図10】



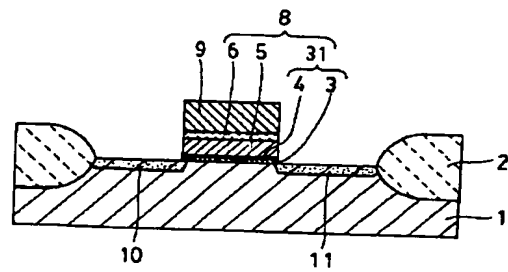
【図11】



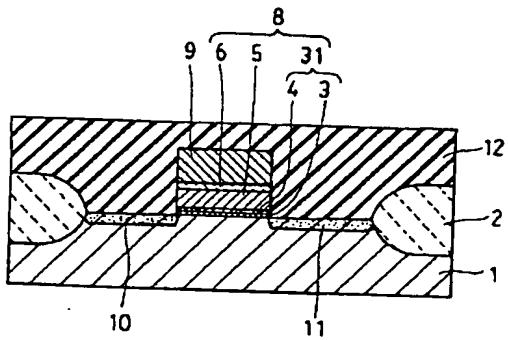
【図12】



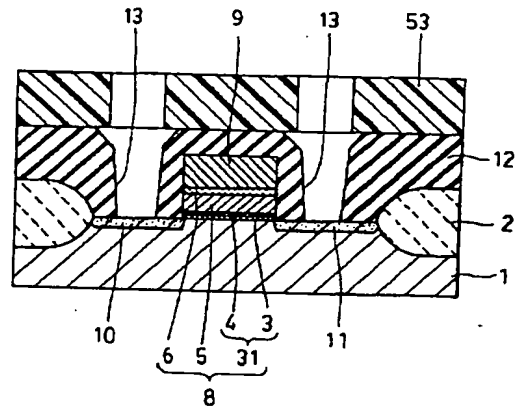
【図13】



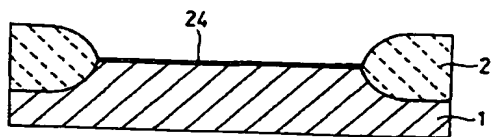
【図14】



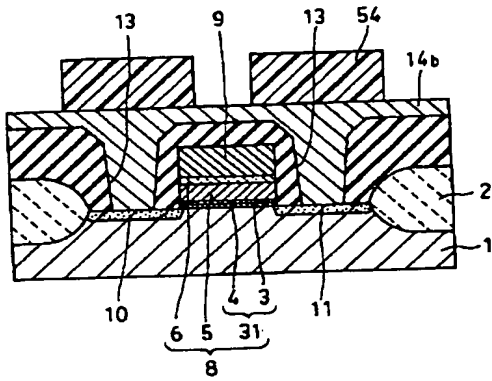
【図15】



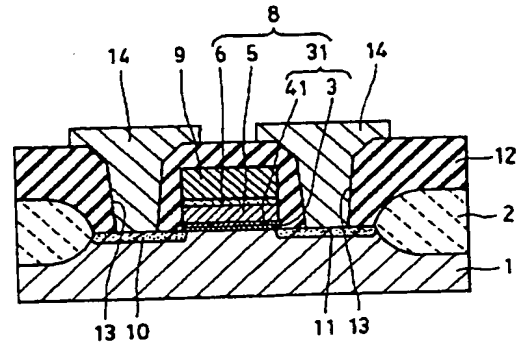
【図18】



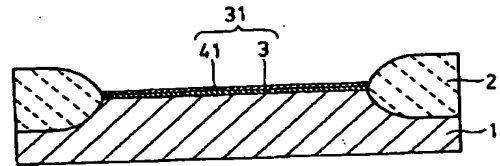
【図16】



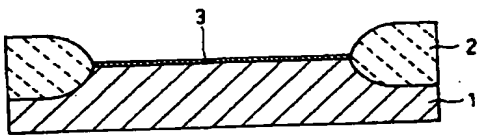
【図17】



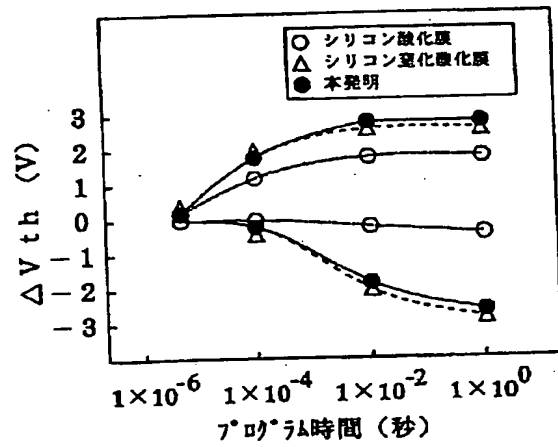
【図20】



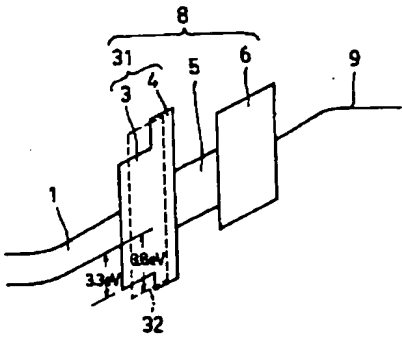
【図19】



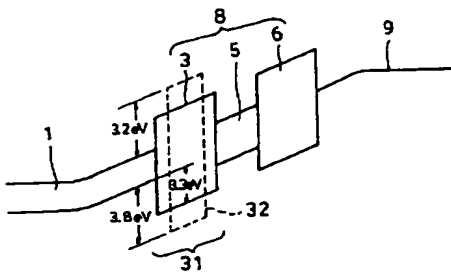
【図22】



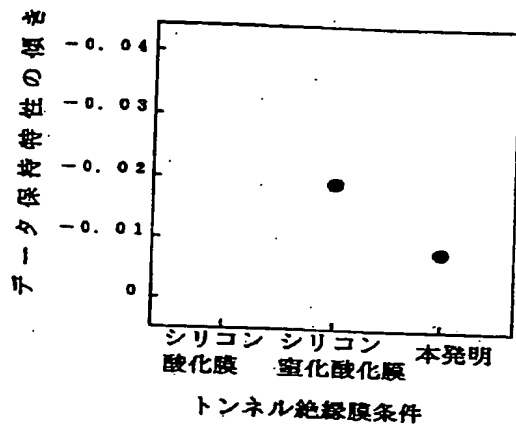
【図21】



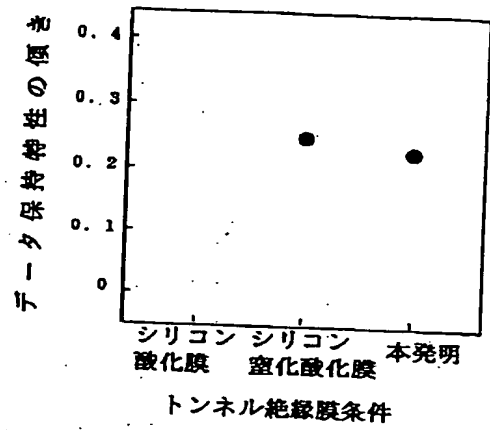
【図26】



【図23】



【図24】



【図25】

